

PAT-NO: JP410321911A

DOCUMENT-IDENTIFIER: JP 10321911 A

TITLE: METHOD FOR MANUFACTURING EPITAXIAL
LAYER OF COMPOUND

SILICON AND SEMICONDUCTOR ON SINGLE-CRYSTAL

THEREWITH LIGHT-EMITTING DIODE MANUFACTURED

PUBN-DATE: December 4, 1998

INVENTOR-INFORMATION:

NAME

BRAUN, MATTHIAS

ASSIGNEE-INFORMATION:

NAME

TEMIC TELEFUNKEN MICROELECTRON GMBH

COUNTRY

N/A

APPL-NO: JP10128021

APPL-DATE: April 3, 1998

INT-CL (IPC): H01L033/00, H01S003/18

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a method for manufacturing an epitaxial layer of a nitride compound semiconductor with which a semiconductor layer can be manufactured, which has sufficient crystalline quality for manufacture of electrical components.

SOLUTION: A sectional structure is manufactured on the surface of a substrate (10) and of single crystal silicon, by using a

method for
manufacturing an epitaxial layer of a III-V nitride
compound semiconductor
having a structure of $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x, 0 \leq y, x+y \leq 1$) on the
substrate made from single-crystal silicon. In this case,
a silicon surface
in a section (15) is exposed, and the edge of the section
is surrounded with a
mask material (20). Next, a local island is manufactured
in the edge of which
stresses generated by mismatching can be dissolved by an
epitaxial growth of
nitride compound semiconductors (30, 40) in a section
mostly on the silicon
surface. A component is finally manufactured in the
section or thereon.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-321911

(43) 公開日 平成10年(1998)12月4日

(51) Int.Cl. ⁸	識別記号	F I	
H 0 1 L 33/00		H 0 1 L 33/00	C
H 0 1 S 3/18		H 0 1 S 3/18	

審査請求 未請求 請求項の数14 書面 (全 4 頁)

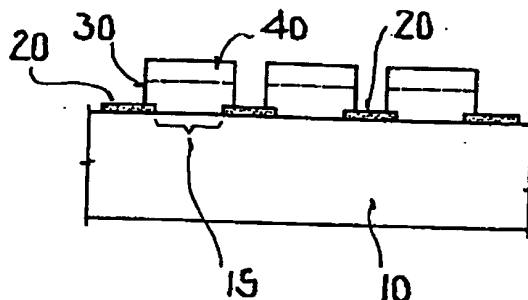
(21) 出願番号	特願平10-128021	(71) 出願人	391000830 デミツク テレフンケン マイクロエレクトロニツク ゲゼルシャフト ミット ベシユレンクテル ハフツング TEMIC TELEFUNKEN microelectronic GmbH ドイツ連邦共和国 ハイльブロン テレシエンシュトラッセ 2
(22) 出願日	平成10年(1998) 4月3日	(72) 発明者	マテイアス・ブラウン ドイツ連邦共和国ヴァインズベルク・フリーデンシュトラッセ14
(31) 優先権主張番号	1 9 7 1 5 5 7 2 . 3	(74) 代理人	弁理士 中平 治
(32) 優先日	1997年4月15日		
(33) 優先権主張国	ドイツ (DE)		

(54) 【発明の名称】 単結晶シリコン上に化合物半導体のエピタキシャル層を製造する方法及びそれにより製造された発光ダイオード

(57) 【要約】

【課題】 電子構成部分の製造のために十分な結晶品質を有する半導体層を製造することができる、 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x, 0 \leq y, x+y \leq 1$) の構造の III-V タイプの窒化物化合物半導体からなるエピタキシャル層を製造する方法を提供する。

【解決手段】 単結晶シリコンからなる基板の上に $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x, 0 \leq y, x+y \leq 1$) の構造の III-V タイプの窒化物化合物半導体のエピタキシャル層を製造する方法が記述される。方法は、次の方法ステップを有する。単結晶シリコンからなる基板 (10) の表面に、区分状の構造を製造する。区分 (15) においてシリコン表面が露出しており、かつ区分の縁は、マスク材料 (20) によって囲まれている。シリコン表面ににおけるもっぱら区分における窒化物化合物半導体 (30, 40) のエピタキシャル成長によって、局所的な島が製造され、これらの島の縁において、格子誤整合によって発生される応力を解体することができる。最終的に区分内又はその上に、構成素子が製造される。



【特許請求の範囲】

【請求項1】 単結晶シリコンからなる基板上に $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x$, $0 \leq y$, $x+y \leq 1$) の構造の III-V タイプの窒化物化合物半導体のエピタキシャル層を製造する方法において、

・単結晶シリコンからなる基板(10)を準備し；
・基板の表面に区分状の構造を製造し、その際、区分(15)においてシリコン表面が露出しており、かつ区分の縁が、マスク材料(20)によって囲まれており；
・もっぱら区分においてシリコン表面に窒化物化合物半導体(30, 40)のエピタキシャル成長が行なわれる、
方法ステップを特徴とする、単結晶シリコン上に化合物半導体のエピタキシャル層を製造する方法。

【請求項2】 マスク材料として、基板の表面に堆積する二酸化シリコン SiO_2 又はシリコンオキシナイトライド SiON が利用されることを特徴とする、請求項1記載の方法。

【請求項3】 マスク材料として、基板の表面に成長する二酸化シリコン SiO_2 が利用されることを特徴とする、請求項1記載の方法。

【請求項4】 シリコン表面における区分に、まず核形成層(31)が成長させられることを特徴とする、請求項1ないし3の1つに記載の方法。

【請求項5】 核形成層(31)が、窒素Nの代わりに、窒化ヒ素 AsN を含むことを特徴とする、請求項4記載の方法。

【請求項6】 シリコン表面における又は核形成層(31)における区分に、複数の部分層からなる格子整合領域(32, 33)がエピタキシャル成長させられることを特徴とする、請求項1ないし5の1つに記載の方法。

【請求項7】 格子整合領域(32, 33)上にエピタキシャル成長した窒化物化合物半導体(30, 40)が、p/n又はn/p接合部を有する活性領域(40)を含むことを特徴とする、請求項6記載の方法。

【請求項8】 活性領域(40)が、構成要素にとって重要なパラメータを調節するために、単一層又は超格子からなることを特徴とする、請求項7記載の方法。

【請求項9】 活性領域(40)上に、活性領域のものよりも小さなエネルギーギャップを有する接触特性を改善する半導体層(35)が成長させられることを特徴とする、請求項1ないし8の1つに記載の方法。

【請求項10】 接触層(35)が、選択的なエッチングにより局所的に取り除かれることを特徴とする、請求項9記載の方法。

【請求項11】 基板(10)が、ドーピングを有することを特徴とする、請求項1ないし10の1つに記載の方法。

【請求項12】 基板(10)の裏側に、裏側接触のために金属層が取付けられることを特徴とする、請求項1

ないし11の1つに記載の方法。

【請求項13】 シリコン表面における区分に成長する半導体層装置が、不活性化層(60)によって覆われることを特徴とする、請求項1ないし12の1つに記載の方法。

【請求項14】 エピタキシャル層が、LED又はレーザーダイオードの製造のために利用されることを特徴とする、請求項1ないし13の1つに記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、単結晶シリコンからなる基板上に $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x$, $0 \leq y$, $x+y \leq 1$) の構造の III-V タイプの窒化物化合物半導体のエピタキシャル層を製造する方法に関する。

【0002】

【従来の技術】 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x$, $0 \leq y$, $x+y \leq 1$) の構造の III-V タイプの窒化物化合物半導体は、その物理学的な特性に基づいて、オプトエレクトロニクスの用途に大きな意味を有する。このような半導体層を、例えばオプトエレクトロニクスの用途にとって必要なような高度の結晶品質で製造するために、種々のエピタキシャル方法が利用される。分子放射エピタキシーの他に、とりわけ気相方法、及びとくに金属-有機物気相エピタキシー(MOVPE)が使用される。その際、成長温度は、材料系に依存して、典型的には $700-1100^\circ\text{C}$ の範囲にある。結晶層を成長させるために、適当な基板を利用することが不可欠である。 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x$, $0 \leq y$, $x+y \leq 1$) の構造の III-V タイプの窒化物化合物半導体のために、サファイア(Al_2O_3)又は炭化シリコン(SiC)が利用できることがわかった。炭化シリコン(SiC)は、基板材料としてきわめて高価である。サファイア(Al_2O_3)は、導電性を持たず、かつ機械的な硬度に基づいて加工が困難である。導電しない基板の場合、構成要素の前側にすべての接点を取付けなければならない。このことは、追加的に高価なエピタキシー面を浪費する。

【0003】シリコンは、きわめてよく使われる魅力的な基板材料である。これは、機械的に安定であり、価格的に望ましく、ほぼ無制限に入手でき、温度に対して安定であり、かつ導電性を有する。それ故に前記の化合物半導体のための基板として、基本的に望ましい。P. クング他、アプライド・フィジクス・レター、66、2958(1995)によれば、シリコンが、結晶 AlN 及び GaN 層又はその3成分又は4成分化合物半導体を堆積するために基本的に適していることが公知である。しかしながら著者等は、シリコン基板上に製造された AlN 及び GaN 層が、電子構成部分を製造するために十分な結晶品質を有することを確認している。

【0004】

【発明が解決しようとする課題】それ故に本発明の課題は、電子構成部分の製造のために十分な結晶品質を有する半導体層を製造することができる、 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x, 0 \leq y, x+y \leq 1$) の構造のIII-Vタイプの窒化物化合物半導体からなるエピタキシャル層を製造する方法を提供することにある。

【0005】

【課題を解決するための手段】本発明による方法は、シリコン基板上における電子構成素子のために十分な結晶品質の $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x, 0 \leq y, x+y \leq 1$) の構造のIII-Vタイプの窒化物化合物半導体の成長を可能にするために、選択的エピタキシーの利用に基づいている。選択的エピタキシーの際に、シリコン基板は、半導体層の成長の前に、局所的にマスクされる。マスク材料は、基板材料上における半導体層の成長を妨げ又は阻止する。これは、追加的な材料のマスク層の堆積によるが、とくにシリコン基板の酸化によっても形成することができる。マスクのない範囲において、半導体材料の成長は選択的に行なわれる。成長区分が生じ、これらの成長区分の縁において生じた応力は解体することができる。それにより微細割れ目の発生が阻止される。区分は、後からそれぞれ1つ又は複数の構成素子を製造するための原料を形成する。

【0006】とくに区分は、発光ダイオードを製造するために利用される。

【0007】

【発明の実施の形態】次に本発明を図面を用いて実施例によって説明する。

【0008】半導体層のエピタキシーの前に、まず基板の表面におけるシリコン基板10の酸化によって、マスク層20が製造され、かつつづいてホトリソグラフィにより構造化される。それにより区分15が定義され、これらの区分は、マスク層20を持たない。区分の縁は、マスク材料によって囲まれている。窒化物化合物半導体30、40のエピタキシャル成長は、もっぱら又はなるべく基板10のシリコン表面上における区分において行なわれる。この区分15上に成長した半導体材料から、後に構成素子が製造される。区分15は、数平方ミリメートルまでの大きさであることができる。

【0009】方法の別の構成において、基板10の表面にマスク層20の材料が堆積され、かつつづいてホトリソグラフィにより構造化される。その後の方法ステップは、同様に続く。マスク材料として、二酸化シリコン SiO_2 及びシリコンオキシナイトライド SiON が適しているとわかった。

【0010】MOVPE又はその他の適当な方法により、 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x, 0 \leq y, x+y \leq 1$) の構造のIII-Vタイプの窒化物化合物半導体の層のエピタキシャル成長が行なわれる。まず格

子整合領域として動作する層系列31、32、33が成長させられる。格子整合領域は、少なくとも能動構成素子の層が結晶構造の十分に高度な完全性を有する程度に強力に、シリコン基板と次に成長させられるエピタキシャル半導体層との間の格子誤整合に打ち勝ち、又はこれを減少する。

【0011】格子整合領域31、32、33は、複数の部分層から構成され：すなわちまず核形成層31が成長させられる。そのためにとくにアルミニウムを含んだ層10が良好に適している。本実施例の核形成層31は、なるべく GaAlN 又は GaAlAsN からなる。その後、上側整合層32、33が続く、これらの整合層の製造のために、なるべく前記の窒化物化合物半導体からなる層の熱サイクルの成長及び／又は熱サイクルが利用される。とくに格子整合領域の下側の範囲において、なるべくこれらの方法の組合せが利用される。結晶品質のそれ以上の改善は、格子整合領域32の上側範囲におけるバッファ層33及び／又は超格子の後続の成長によって達成することができる。その後、結晶品質は、構成素子の活性層を成長させるために十分な品質のものである。上側格子整合領域の一部は、すでに活性層の一部であることができる。

【0012】例えばLED又はレーザーダイオードのようなオプトエレクトロニクス構成素子を製造しようとする場合、光を発生するp/n接合を含む活性層40と基板10又は格子整合領域31、32、33との間にブラッグレフレクタ34を成長させることは、発光効率を最大にするために有利である。シリコン基板は、放射波長の光を強力に吸収するので、それにより発光効率を高めることができる。ブラッグレフレクタは、上側格子整合領域32、33の一部として構成してもよい。

【0013】 GaN に基づく半導体は、大きなエネルギーギャップによって特徴付けられている。それ故にこの半導体の表面における低オーム性の接触の製造は、問題である。それ故にそれより小さなエネルギーギャップの、したがって別の格子定数及び熱膨張係数の半導体層35を、 GaN に基づく半導体の表面に取付けることが考慮されており、これらの半導体層は、必要な場合には、技術的プロセスの経過中に接触範囲以外において選択的に再び取り除かれる。このことは、例えば選択的エッチングによって行なうことができる。その場合にも、異なった材料パラメータに基づいて接触／エッチング層を成長させる選択的なエピタキシーに、重要な意味がある。

【0014】図4及び5に示された発光ダイオードは、 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x, 0 \leq y, x+y \leq 1$) の構造のIII-Vタイプの窒化物化合物半導体の前記のエピタキシャル層系列から構成されている。ダイオードチップの表面は、不活性化層60によって覆われている。背面接点52及び組織化された前面接点5

1は、それにより覆われていない。

【0015】このような発光ダイオードは、とくに緑、青及びバイオレットのスペクトル範囲にとって最適化されており、かつ法外な効率の点で優れている。

【図面の簡単な説明】

【図1】成長区分上に成長した半導体材料を有する図2の1-1断面を一部拡大して示す図である。

【図2】二酸化シリコンによって区画された成長区分を有するシリコン基板ウエハを上から見た図である。

【図3】半導体装置の断面図である。

【図4】本発明による発光ダイオードを上から見た図である。

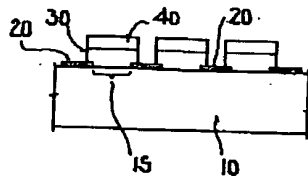
【図5】切断線5-5に沿った図4の発光ダイオードの

断面図である。

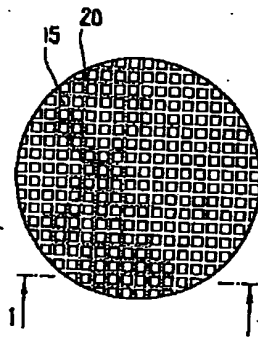
【符号の説明】

- 10 シリコン基板
- 15 区分
- 20 マスク層
- 30 窒化物化合物半導体
- 31 核形成層
- 32 構成整合領域
- 33 格子整合領域
- 35 半導体層
- 40 窒化物化合物半導体
- 60 不活性化層

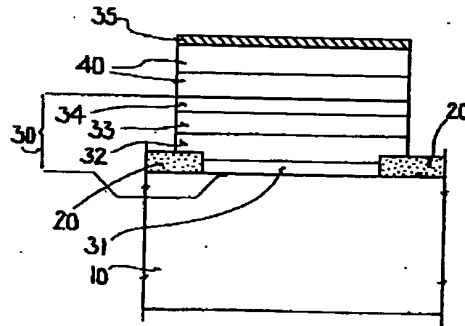
【図1】



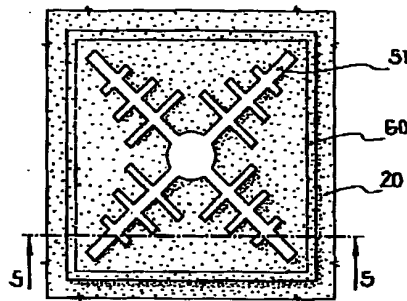
【図2】



【図3】



【図4】



【図5】

